

## METHOD AND CIRCUIT FOR SWITCHING NO-HIT TRANSMISSION LINE

**Publication number:** JP6141013

**Publication date:** 1994-05-20

**Inventor:** TAKATORI MASAHIRO; NAKANO YUKIO; ASHI MASAHIRO;  
SUGANO TADAYUKI; KOGURE KOJI; KATAOKA HIDEKI

**Applicant:** HITACHI LTD; NIPPON TELEGRAPH & TELEPHONE

**Classification:**

- **International:** H04J3/00; H04J3/06; H04J3/07; H04L1/22; H04L7/027;  
H04J3/00; H04J3/06; H04J3/07; H04L1/22; H04L7/027; (IPC1-  
7): H04J3/06; H04J3/00; H04J3/07; H04L1/22; H04L7/027

- **european:**

**Application number:** JP19920285773 19921023

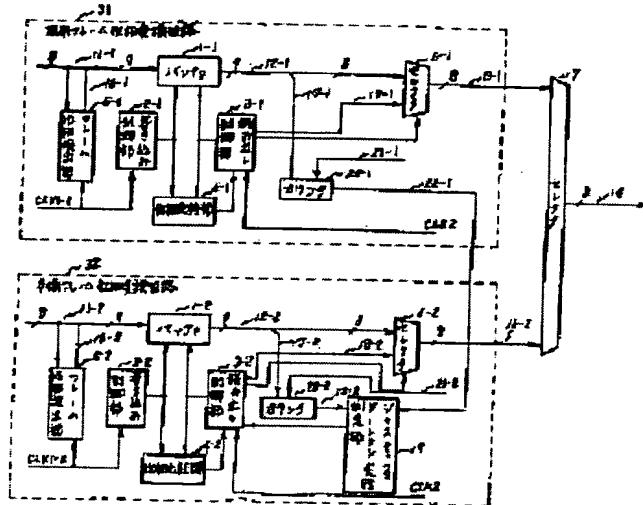
**Priority number(s):** JP19920285773 19921023

[Report a data error here](#)

### Abstract of JP6141013

**PURPOSE:** To switch a frame phase conversion circuit in current use to a spare frame phase conversion circuit without generating hit when a transmission line is composed of redundancy constitution by making the output of the frame phase conversion circuit in current use coincide with that of the spare frame phase conversion circuit compulsorily by using pulse stuffing.

**CONSTITUTION:** The frame phase detecting part 5-1 of the frame phase conversion circuit 31 in current use detects the frame phase of a VC-4 in a reception STM-1 frame by reading by a pointer, and stores a signal 16-1 representing the frame phase of the VC-4 in a buffer 1-1. Thence, clock switching for the signal 16-1 representing the frame phase of a reception VC-4 is performed by reading out by a CLK2. Furthermore, difference between an output signal 17-2 and a device frame phase 21-1 is counted by a counter 20-1, and output 22-1 is sent to a conversion circuit 32. Similar processing is performed on a signal 16-2 representing the frame phase of the reception VC-4 at the circuit 32. Thereby, the output frame of the circuit 31 can coincide with that of the circuit 32, and the circuit in current use can be switched to the spare circuit by a selector without generating the hit.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-141013

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 04 J 3/06	D 8226-5K			
3/00	R 8226-5K			
3/07	8226-5K			
H 04 L 1/22	4101-5K			
	7928-5K		H 04 L 7/ 02	A
			審査請求 未請求 請求項の数35(全 31 頁)	最終頁に続く

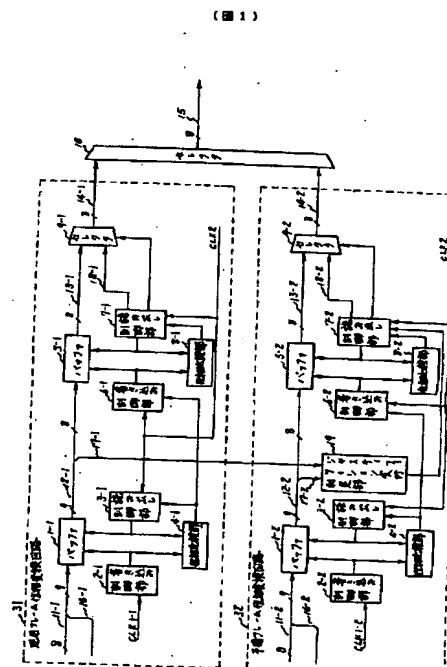
(21)出願番号	特願平4-285773	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)10月23日	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
		(72)発明者	高取 正浩 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72)発明者	中野 幸男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(74)代理人	弁理士 小川 勝男
			最終頁に続く

(54)【発明の名称】 無瞬断伝送路切り替え方法および回路

(57)【要約】 (修正有)

【目的】 伝送路が冗長構成をとる場合現用から予備へ  
瞬断なく切り替える。

【構成】 多重化されたN個の低速信号のフレーム位相  
をポインタにより指示しその低速信号を記憶するメモリ  
1-1と、書き込みアドレスを指示する書き込み制御回路2-1と、  
読み出しアドレスを指示する読み出し制御回路3-1と、  
両アドレスを比較しスタッフの要否を判定する位相比較器  
4-1とを含む現用フレーム位相変換回路3-1と、同一構成の  
予備フレーム位相変換回路3-2と、現用から予備フレーム  
位相変換回路に入力側フレームの位相を知らせる手段  
17-1と、フレーム位相を比較しスタッフ実行を決定する  
スタッフ実行決定回路19と、両フレーム位相変換回路  
出力から1つを選択するセレクタ10とかなる。



## 【特許請求の範囲】

【請求項1】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号を現用伝送路及び予備伝送路に同時に伝送し、受信側において現用伝送路の受信信号のポインタ値を変換する現用フレーム位相変換回路の第1の出力信号と予備伝送路の受信信号のポインタ値を変換する予備フレーム位相変換回路の第2の出力信号とから一方を選択するシステムにおいて、前記現用フレーム位相変換回路と前記予備フレーム位相変換回路との間で互いにフレーム位相に関する情報の授受を行うことによって、現用または予備フレーム位相変換回路において必要なならばスタッフを実行し、第1の出力信号の低速信号のフレーム位相と第2の出力信号の低速信号のフレーム位相を一致させた後に、前記選択の切り替えを行う無瞬断伝送路切り替え方法。

【請求項2】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号を現用伝送路及び予備伝送路に同時に伝送し、受信側において現用伝送路の受信信号のポインタ値を変換する現用フレーム位相変換回路の第1の出力信号と予備伝送路の受信信号のポインタ値を変換する予備フレーム位相変換回路の第2の出力信号とから一方を選択するシステムにおいて、前記現用フレーム位相変換回路が前記予備フレーム位相変換回路にフレーム位相に関する情報を送ることによって予備フレーム位相変換回路において必要なならばスタッフを実行し、第2の出力信号の低速信号のフレーム位相を第1の出力信号の低速信号のフレーム位相に一致させた後に、前記選択の切り替えを行う無瞬断伝送路切り替え方法。

【請求項3】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号を現用伝送路及び予備伝送路に同時に伝送し、受信側において現用伝送路の受信信号のポインタ値を変換する現用フレーム位相変換回路の第1の出力信号と予備伝送路の受信信号のポインタ値を変換する予備フレーム位相変換回路の第2の出力信号とから一方を選択するシステムにおいて、前記予備フレーム位相変換回路が前記現用フレーム位相変換回路にフレーム位相に関する情報を送ることによって現用フレーム位相変換回路において必要なならばスタッフを実行し、第1の出力信号の低速信号のフレーム位相を第2の出力信号の低速信号のフレーム位相に一致させた後に、前記選択の切り替えを行う無瞬断伝送路切り替え方法。

【請求項4】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号を現用伝送路及び予備伝送路に同時に伝送し、受信側において現用伝送路の受信信号のポインタ値を変換する現用フレーム位相変換回路の第1の出力信号と予備伝送路の受信信号のポイン

タ値を変換する予備フレーム位相変換回路の第2の出力信号とから一方を選択するシステムにおいて、第1の出力信号内の低速信号のフレーム位相と第2の出力信号内の低速信号のフレーム位相が異なる場合には、現用あるいは予備フレーム位相変換回路において強制的にスタッフを実施して、第1の出力信号内の低速信号のフレーム位相と第2の出力信号の低速信号のフレーム位相を一致させた後に前記選択の切り替えを行う無瞬断伝送路切り替え方法。

10 【請求項5】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号を現用伝送路及び予備伝送路に同時に伝送し、受信側において現用伝送路の受信信号のポインタ値を変換する現用フレーム位相変換回路の第1の出力信号と予備伝送路の受信信号のポインタ値を変換する予備フレーム位相変換回路の第2の出力信号とから一方を選択するシステムにおいて、第1の出力信号内の低速信号のフレーム位相と第2の出力信号内の低速信号のフレーム位相が異なる場合には、外部より指示することにより、現用あるいは予備フレーム位相変換回路において強制的にスタッフを実施して、第1の出力信号内の低速信号のフレーム位相と第2の出力信号の低速信号のフレーム位相を一致させた後に前記選択の切り替えを行う無瞬断伝送路切り替え方法。

20 【請求項6】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路内のメモリに入力側クロックに従って書き込まれた前記高速信号のフレーム位相を示す第3の信号を、出力側のクロックに従って読み出した信号であることを特徴とする無瞬断伝送路切り替え方法。

【請求項7】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路内のメモリに入力側クロックに従って書き込まれた前記高速信号内の低速信号のフレーム位相を示す第4の信号を、出力側のクロックに従って読み出した信号であることを特徴とする無瞬断伝送路切り替え方法。

30 【請求項8】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路の出力側における前記高速信号内の低速信号のフレーム位相を示す第5の信号であることを特徴とする無瞬断伝送路切り替え方法。

【請求項9】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路の入力側の高速信号のフレーム位相と出力側の高速信号のフレーム位相との差であることを特徴とする無瞬断伝送路切り替え方法。

40 【請求項10】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路の入力側の高速信号のフレーム位相と出力側の高速信号内の低速信号のフレーム位相との差である

ことを特徴とする無瞬断伝送路切り替え方法。

【請求項11】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路の入力側の高速信号内の低速信号のフレーム位相と出力側の高速信号内の低速信号のフレーム位相との差であることを特徴とする無瞬断伝送路切り替え方法。

【請求項12】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、前記フレーム位相変換回路の入力側の高速信号内の低速信号のフレーム位相と出力側の高速信号のフレーム位相との差であることを特徴とする無瞬断伝送路切り替え方法。

【請求項13】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、スタッフを現用フレーム位相変換回路と予備フレーム位相変換回路で一斉に行うために、フレーム位相変換回路でスタッフを行ってよい状態になったことを知らせる情報であることを特徴とする無瞬断伝送路切り替え方法。

【請求項14】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、スタッフを現用フレーム位相変換回路と予備フレーム位相変換回路で一斉に行うために、現用フレーム位相変換回路もしくは予備フレーム位相変換回路のいずれかから他に対してスタッフ実行を命令する信号であることを特徴とする無瞬断伝送路切り替え方法。

【請求項15】請求項第1項又は第2項又は第3項において、前記フレーム位相に関する情報は、フレーム位相変換回路の出力フレームのポインタ値であることを特徴とする無瞬断伝送路切り替え方法。

【請求項16】請求項第1項乃至第5項のいずれかにおいて前記スタッフの実行は、スタッフ実行条件の変更であることを特徴とする無瞬断伝送路切り替え方法。

【請求項17】請求項第16項において、スタッフ実行条件を変更しスタッフを実行した後、予備から現用に切り替えられた場合は、スタッフ実行条件を変更する前のものに戻すことを特徴とする無瞬断伝送路切り替え方法。

【請求項18】請求項第1項乃至第5項のいずれかにおいて、前記現用伝送路および現用フレーム位相変換回路がK個（Kは正の整数）存在し、予備伝送路および予備フレーム位相変換回路がL個（Lは正の整数）存在する場合、現用および予備フレーム位相変換回路の組を1個選択した後、該1組の現用と予備のフレーム位相変換回路の出力フレームを一致させることを特徴とする無瞬断伝送路切り替え方法。

【請求項19】請求項第1項乃至第18項のいずれかにおいて、現用と予備フレーム位相変換回路で低速信号のフレーム位相を一致させる第1のモードと、それぞれ独立にフレーム位相変換を実行する第2のモードとを設け、各モードを外部より選択することを特徴とする無瞬

断伝送路切り替え方法。

【請求項20】請求項第1項乃至第18項のいずれかにおいて、現用と予備フレーム位相変換回路で低速信号のフレーム位相を一致させる第1のモードと、それぞれ独立にフレーム位相変換を実行する第2のモードとを設け、通常は第1のモードで動作させ、現用伝送路と高速信号のフレーム位相と予備伝送路の高速信号のフレーム位相との差が大きいために出力フレームを一致させることができない場合にのみ第2のモードで動作させることを特徴とする無瞬断伝送路切り替え方法。

【請求項21】請求項第1項乃至第20項のいずれかにおいて、前記フレーム位相変換回路で処理する前記高速信号は、CCITT勧告G.709に定めるところのハイ・オーダ・バーチャル・コンテナ（VC-3またはVC-4）であり、前記低速信号はベーシック・バーチャル・コンテナ（VC-1またはVC-2）であり、前記スタッフはポインタを用いた周波数ジャスティフィケーションである無瞬断伝送路切り替え方法。

【請求項22】請求項第1項乃至第20項のいずれかにおいて、前記フレーム位相変換回路で処理する前記高速信号は、CCITT勧告G.709に定めるところのシンクロナス・トランスポート・モジュール・レベル・N（STM-N）であり、前記低速信号はハイ・オーダ・バーチャル・コンテナ（VC-3またはVC-4）であり、前記スタッフはポインタを用いた周波数ジャスティフィケーションである無瞬断伝送路切り替え方法。

【請求項23】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路から予備フレーム位相変換回路に入力側フレームのフレーム位相を知らせる手段と、予備フレーム位相変換回路の入力側フレームのフレーム位相と現用フレーム位相変換回路の入力側フレームのフレーム位相を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項24】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアド

レスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しあドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路から予備フレーム位相変換回路に出力側高速フレーム内の低速信号のフレーム位相を知らせる手段と、予備フレーム位相変換回路の出力側高速信号内の低速信号のフレーム位相と現用フレーム位相変換回路の出力側高速信号内の低速信号のフレーム位相を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項25】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しあドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、予備フレーム位相変換回路から現用フレーム位相変換回路に入力側フレームのフレーム位相を知らせる手段と、現用フレーム位相変換回路の入力側フレームのフレーム位相と予備フレーム位相変換回路の入力側フレームのフレーム位相を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項26】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しあドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、予備フレーム位相変換回路から現用フレーム位相変換回路に入力側高速信号内の低速信号のフレーム位相を知らせる手段と、現用フレーム位相変換回路の入力側高速信号内の低速信号のフレーム位相と予備

フレーム位相変換回路の入力側高速信号内の低速信号のフレーム位相を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項27】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しあドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路から予備フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差を現用フレーム位相変換回路から予備フレーム位相変換回路に知らせる手段と、予備フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差を現用フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項28】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しあドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、予備フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差を予備フレーム位相変換回路から現用フレーム位相変換回路に知らせる手段と、現用フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差と予備フレーム位相変換回路における入力側フレームのフレーム位相と出力側フレームのフレーム位相との差を比較することによりスタッフ実行を決定するスタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタ

タとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項29】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路から予備フレーム位相変換回路にスタッフ準備完了を知らせる第1の手段と、予備フレーム位相変換回路から現用フレーム位相変換回路にスタッフ準備完了を知らせる第2の手段と、第1の手段と第2の手段から現用フレーム位相変換回路におけるスタッフ実行を決定する現用スタッフ実行決定回路と、第1の手段と第2の手段とから予備フレーム位相変換回路スタッフ実行を決定する予備スタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項30】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較しスタッフを行うかどうかを判定する位相比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路から予備フレーム位相変換回路にスタッフ実行を命令する第3の手段と、第3の手段により予備フレーム位相変換回路におけるスタッフ実行を決定する予備スタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項31】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較しスタッフを行うかどうかを判定する位相

比較器とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、予備フレーム位相変換回路から現用フレーム位相変換回路にスタッフ実行を命令する第4の手段と、第4の手段により現用フレーム位相変換回路におけるスタッフ実行を決定する現用スタッフ実行決定回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項32】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較することによりスタッフを行うかどうかを判定し、かつそれ異なる判定条件をもつ複数の位相比較器と、前記複数の位相比較器のうちから1つを選択する第2のセレクタとからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、現用フレーム位相変換回路と予備フレーム位相変換回路の出力フレームが一致しているかどうかを検査して差がある場合に予備フレーム位相変換回路の前記第2のセレクタに対し現在選択している位相比較器とは異なる位相比較器を選択することを指示する監視回路と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

【請求項33】高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式の該高速信号内の低速信号を記憶するメモリと、前記メモリに信号を書き込む際のアドレスを指示する書き込み制御回路と、前記メモリから信号を読み出す際のアドレスを指示する読み出し制御回路と、前記メモリに与える書き込みアドレスと読み出しアドレスを比較しスタッフ実行要求を出す位相比較器と、位相比較器からのスタッフ実行要求と外部からの命令によりスタッフを実行するかどうかを決定するスタッフ実行判定回路とからなる現用フレーム位相変換回路と、該現用フレーム位相変換回路と同一の構成をもつ予備フレーム位相変換回路と、前記現用フレーム位相変換回路と予備フレーム変換回路の出力フレームのポインタを表示するポインタ表示部と、外部より現用または予備フレーム位相変換回路に対しスタッフ実行を命令する手段と、現用フレーム位相変換回路からの出力と予備フレーム位相変換回路からの出力のうちから1つの出力を選択するセレクタとからなることを特徴とする無瞬断伝送路切り替え回路。

替え回路。

【請求項34】請求項第23項乃至第33項のいずれかにおいて、前記フレーム位相変換回路で処理する前記高速信号は、CCITT勧告G.709に定めるところのハイヤ・オーダ・バーチャル・コンテナ（VC-3またはVC-4）であり、前記低速信号はベースック・バーチャル・コンテナ（VC-1またはVC-2）であり、前記スタッフはポインタを用いた周波数ジャスティフィケーションである無瞬断伝送路切り替え回路。

【請求項35】請求項第23項乃至第33項のいずれかにおいて、前記フレーム位相変換回路で処理する前記高速信号は、CCITT勧告G.709に定めるところのシンクロナス・トランスポート・モジュール・レベル・N（STM-N）であり、前記低速信号はハイヤ・オーダ・バーチャル・コンテナ（VC-3またはVC-4）であり、前記スタッフはポインタを用いた周波数ジャスティフィケーションである無瞬断伝送路切り替え回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフレーム構造を有する複数の信号を時分割多重して伝送する装置において、伝送路が冗長構成をとる場合、現用から予備へ瞬断なく切り替える方法及び回路に関する。

【0002】

【従来の技術】従来の伝送装置では、伝送路で発生する遅延変動を吸収するために、受信側装置の伝送路インターフェース部分に研究実用化報告第28巻第7号のP210～214に記載されているフレームアライナを設ける。フレームアライナは、エラスティックストアメモリとその制御回路からなり、エラスティックストアメモリに受信フレームを一旦書き込んでから読み出すことにより、伝送路で発生する遅延変動を吸収する。また、上記操作により、異なる方路を経由して伝送された複数の受信フレームのフレーム位相を装置のもつ唯一のフレーム位相に合わせることができるので、各々の受信フレームに対してクロスコネクトなどの処理を行う際の便宜を図ることができる。

【0003】伝送装置及び伝送路は、通常は冗長構成を有するので、上記フレームアライナを現用と予備の両方の受信側伝送路インターフェースに設ける。フレームアライナは、上述したように、受信フレームのフレーム位相を装置のもつ唯一のフレーム位相に合わせることができるので、現用伝送路を経由して伝送された受信フレームのフレーム位相と予備伝送路を経由して伝送された受信フレームのフレーム位相を強制的に一致させることができる。そのため、現用から予備に切り替える際に、フレーム位相のずれによる瞬断が発生することは無い。

【0004】

【発明が解決しようとする課題】前記従来の技術は、フレームアライナを用いているため、フレームアライナの

出力は現用と予備とで常に一致している。しかしフレームアライナは大容量のメモリ（1フレーム分）を用いるため、信号の遅延が大きい。

【0005】一方、CCITT勧告G.707、G.708、G.709では、高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式を採用している。このポインタはフレーム構造を有する低速信号の高速信号内における位置を示す。また、このフレーム構造を有する信号にはスタッフという機能が備わっている。この機能により、フレームを伝送する際に伝送路の温度変化等によって生じるワンドをスタッフバイトにより吸収することができる。前記CCITTの勧告によるフレームを伝送装置で中継処理する場合、フレーム位相変換回路でスタッフを用いてワンドを吸収するため、信号の遅延は小さい。しかし、一般に伝送路は二重化されているのでフレーム位相変換回路も冗長構成をとる。この場合、スタッフによるワンドの吸収は現用と予備で独立に行われるため、フレーム位相変換回路の出力フレームにおいては、高速信号内部の低速信号の位相が現用と予備の間で一般に一致しない。すなわち、現用と予備フレーム位相変換回路の出力フレームは一般に一致しない。そのため、現用から予備に切り替える際に瞬断が生じる可能性がある。

【0006】本発明の目的は、ポインタによるスタッフによってワンドを吸収する方式においても、フレーム位相変換の際に、同一伝送路を経由する前記フレーム構造を有する現用と予備フレーム位相変換回路の出力フレームを一致させることにより、現用から予備に無瞬断で切り替える方法及び回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、高速信号に多重化されるN個（ただし、Nは正の整数）の低速信号のフレーム位相をポインタにより指示する多重化形式のフレーム構造を有する信号のフレーム位相を変換するフレーム位相変換回路が冗長構成をとる場合、現用フレーム位相変換回路と予備フレーム位相変換回路間で通信を行い、現用フレーム位相変換回路と予備フレーム位相変換回路の両方がスタッフを実行できる状態になるまで待つことにより、現用および予備フレーム位相変換回路で同時にスタッフを実行し、現用と予備フレーム位相変換回路の出力フレームを一致させることにより達成される。

【0008】あるいは上記目的は、現用から予備に切り替える際に、現用と予備フレーム位相変換回路の出力フレームが一致していない場合は、予備もしくは現用のフレーム位相変換回路においてスタッフを実行し、現用と予備の出力フレームを一致させることにより達成される。

【0009】あるいは上記目的は、現用から予備に切り

11

替える際に、現用と予備のフレーム位相変換回路の出力フレームが一致していない場合は、外部から強制的にスタッフを命令することによってスタッフを実行し、両者の出力フレームを一致させることにより達成される。

【0010】

【作用】無瞬断で伝送路を切り替えるためには、切り替える際に現用フレーム位相変換回路と予備フレーム位相変換回路の出力フレームが一致している必要がある。出力フレームを一致させるためには、現用フレーム位相変換回路と予備フレーム位相変換回路が常に同じ動作を行うようにさせる方法と、両者の出力フレームを監視し、両者の出力フレームが一致しないければ予備もしくは現用フレーム位相変換回路において強制的にスタッフを実行することにより出力フレームを一致させる方法がある。

【0011】現用フレーム位相変換回路と予備フレーム位相変換回路が常に同じ動作を行うようにさせる方法では、現用フレーム位相変換回路がスタッフを実行する場合には、予備フレーム位相変換回路もスタッフを実行しなければならない。そこで、現用フレーム位相変換回路においてスタッフの準備が完了した場合は、スタッフ準備完了信号を予備フレーム位相変換回路に送る。また、予備フレーム位相変換回路においてスタッフの準備が完了した場合も、スタッフ準備完了信号を現用フレーム位相変換回路に送る。現用および予備フレーム位相変換回路にはそれぞれスタッフ実行判定回路を設ける。各スタッフ実行判定回路は、現用および予備フレーム位相変換回路の両方からスタッフ準備完了信号を受信した場合のみ、スタッフを実行する。上記操作により、現用と予備の両方がスタッフを行うことができる状態になるまで待つことができる。これにより、現用と予備でスタッフを同時に実行すれば、現用フレーム位相変換回路と予備フレーム位相変換回路が常に同じ動作をすることになる。よって、現用から予備に切り替える際に、同一フレーム位相のフレーム間で切り替えを行うため、瞬断が起きることはない。

【0012】または、現用もしくは予備のいずれか一方が、他にスタッフの実行を命することによりスタッフを現用と予備で同時に実行すれば、現用フレーム位相変換回路と予備フレーム位相変換回路が常に同じ動作することになり、出力フレームを一致させることが可能になる。これにより、現用から予備への切り替えを無瞬断で行うことが可能となる。

【0013】一方、出力フレーム位相を監視し、フレーム位相が一致していなければ予備もしくは現用フレーム位相変換回路において強制的にスタッフを実行し、両者の出力フレームを一致させる方法では、現用と予備のフレーム位相変換回路の出力フレームを監視する回路を設ける。監視回路は、両者の出力フレームが異なっているのを検出した場合、予備フレーム位相変換回路に対して

12

スタッフの実行を命令する。これにより、予備フレーム位相変換回路の出力フレームのフレーム位相を現用フレーム位相変換回路の出力フレームのフレーム位相にあわせる。上記操作により、同一フレーム位相のフレーム間で切り替えを行うため、瞬断が起きることはない。

【0014】または、現用フレーム位相変換回路における入力フレームと出力フレームの位相差をカウンタにより計数し、その値を予備フレーム位相変換回路に送る。また、予備フレーム位相変換回路においても入力フレームと出力フレームの位相差をカウンタにより計数する。

10 そして、予備フレーム位相変換回路において、現用と予備のフレーム位相変換回路の前記カウンタの値を比較することにより、両者の出力フレームが一致しているかどうかを判断し、一致していなければ、予備フレーム位相変換回路でスタッフを実行することにより現用フレーム位相変換回路の出力フレームと予備フレーム位相変換回路の出力フレームを一致させる。これにより、同一フレーム位相のフレーム間で切り替えを行うため、瞬断が起きることはない。

20 【0015】または、現用フレーム位相変換回路における入力フレームのフレーム位相情報を予備フレーム位相変換回路に送り、予備フレーム位相変換回路における入力フレームのフレーム位相情報と比較することにより、出力フレームが一致しているかどうかを判断し、一致していなければスタッフを実行することにより、現用フレーム位相変換回路の出力フレームと予備フレーム位相変換回路の出力フレームを一致させる。これにより、同一フレーム位相のフレーム間で切り替えを行うため、瞬断が起きることはない。

30 【0016】または、現用フレーム位相変換回路における出力フレームのフレーム位相情報を予備フレーム位相変換回路に送り、予備フレーム位相変換回路における出力フレームのフレーム位相情報と比較することにより、出力フレームが一致しているかどうかを判断し、一致していなければスタッフを実行することにより、現用フレーム位相変換回路の出力フレームと予備フレーム位相変換回路の出力フレームを一致させる。これにより、同一フレーム位相のフレーム間で切り替えを行うため、瞬断が起きることはない。

40 【0017】

【実施例】本発明の第1の実施例を図1を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ14-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ14-2に出力する予備フレーム位相変換回路32と出力ハイウェイ14-1上の信号と出力ハイウェイ14-2上の信号とから一方を選択するセレクタ10とから構成される。現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号を

記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしの実行を読み出し制御部3-1に命令する位相比較部4-1と、バッファ1-1の出力フレームのうち一部を記憶するバッファ5-1と、バッファ5-1にCLK2に従って信号を書き込む際のアドレスを指示する書き込み制御部6-1と、バッファ5-1からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部7-1と、バッファ5-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ5-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部7-1に命じる位相比較部8-1と、ハイウェイ13-1上の信号に読み出し制御部7-1で生成されるポインタを挿入するセレクタ9-1により構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック（以下、CLK1-2と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしの判定を行う位相比較部4-2と、バッファ1-2の出力フレームのうち一部だけを記憶するバッファ5-2と、バッファ5-2にCLK2に従って信号を書き込む際のアドレスを指示する書き込み制御部6-2と、バッファ5-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部7-2と、バッファ5-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ5-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部7-2に命じる位相比較部8-2と、ハイウェイ13-2上の信号に読み出し制御部7-2で生成されるポインタを挿入するセレクタ9-2と、現用フレーム位相変換回路31から送られてくる受信フレーム位相信号17-1と予備フレーム位相変換回路32の受信フレーム位相信号17-2を比較することにより現用と予備のフレーム位相変換回路の出力フレームが一致しているかどうかを検査し、一致していない場合はバッファ5-2に対する2度読みまたは読みとばしの指示を読み出

し制御部7-2に対して行うジャスティフィケーション実行判定部19により構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ10となる。

【0018】上記実施例の動作説明の前に、処理対象となる信号のフォーマットについて図2を用いて説明する。本実施例で処理対象とする信号は国際電信電話諮問委員会(CCITT)の勧告G.707、708、709に定められている同期転送モジュール・レベル・1(以下、STM-1と称する。)フレームである。用いられるポインタの種類はアドミニストラティブ・ユニット・レベル4ポインタ(以下、AU-4ポインタと称する。)である。STM-1フレーム内にはパーキャル・コンテナ・レベル4(以下、VC-4と称する。)が収容され、AU-4ポインタがVC-4のSTM-1フレーム内の位置を示す。

【0019】図1に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。書き込み制御部2-1はCLK1-1に従って動作し、前記STM-1フレームをバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記STM-1フレームをバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによって吸収する。即ち、位相比較部4-1が書き込みアドレスと読み出しアドレスの比較を行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは読みとばしの実行を、STM-1フレームの特定位置において読み出し制御部3-1に命令する。2度読み及び読みとばし時のフレーム構成を図3に示す。バッファ5-1はバッファ1-1の出力STM-1フレームのうちVC-4のみを記憶する。書き込み制御部6-1はCLK2に従ってバッファ5-1への書き込みアドレスを指示する。読み出し制御部7-1はCLK2に従ってバッファ5-1への読み出しアドレスを指示する。先に述べたように、CLK1-1とCLK2の速度の差をバッファ1-1の2度読みまたは読みとばしにより吸収する場合、位相比較部4-1は書き込み制御部6-1に次のように指示する。すなわち、2度読みの場合は書き込み制御部6-1に対して書き込み禁止を、読みとばしの場合は書き込み制御部6-1に対して書き込みを命じる。これらの処理および入力信号に含まれるAUジャスティフィケーションにより、バッファ5-1に対する書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合は、位相比較部8-1は読み出し制御部7-2に対してバッファ5-1の2度読みまたは読みとばしによるジャスティ

ィフィケーションの実行を指示する。また読み出し制御部7-1はバッファ5-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ5-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ9-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成を取る場合、セレクタ10は現用フレーム位相変換回路31の出力ハイウェイ14-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ14-2上の信号のうち、どちらか一方を選択する。

【0020】セレクタ10を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ14-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ14-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、現用フレーム位相変換回路31は、受信フレーム位相を示す信号16-1をバッファ1-1に記憶させ、CLK2により読み出すことにより、受信フレーム位相を示す信号に対してクロック乗せ変えを行い、出力信号17-1を予備フレーム位相変換回路32に送る。予備フレーム位相変換回路32でも同様に受信フレーム位相を示す信号16-2に対してクロック乗せ変えを実行する。そして、その出力信号17-2と前記出力信号17-1をジャスティフィケーション実行判定部19が比較し、両者に差がある場合は、現用と予備の出力フレームに差があると判断し、読み出し制御部7-2に対しバッファ5-2の2度読みまたは読みとばしを命じることによりジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0021】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0022】本発明の第2の実施例を図4を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ14-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ14-2に出力する予備フレーム位相変換回路32と出力ハイウェイ14-1上の信号と出力ハイウ

エイ14-2上の信号とから一方を選択するセレクタ10とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしの実行を読み出し制御部3-1に対して命令する位相比較部4-1と、バッファ1-1の出力フレームのうち一部を記憶するバッファ5-1と、バッファ5-1にCLK2に従って信号を書き込む際のアドレスを指示する書き込み制御部6-1と、バッファ5-1からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部7-1と、バッファ5-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ5-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部7-1に命じる位相比較部8-1と、ハイウェイ13-1上の信号に読み出し制御部7-1で生成されるポインタを挿入するセレクタ9-1と、受信フレームのフレーム位相と装置のもつフレーム位相の差を計数するカウンタ20-1により構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック（以下、CLK1-2と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしの判定を行う位相比較部4-2と、バッファ1-2の出力フレームのうち一部を記憶するバッファ5-2と、バッファ5-2にCLK2に従って信号を書き込む際のアドレスを指示する書き込み制御部6-2と、バッファ5-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部7-2と、バッファ5-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ5-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部7-2に命じる位相比較部8-2と、ハイウェイ13-2上の信号に読み出し制御部7-2で生成されるポインタを挿入するセレクタ9-2と、受信フレームのフレーム位相と装置のもつフレーム位相の差を計数するカ

17

ウンタ20-2と、現用フレーム位相変換回路31から送られてくるカウンタ20-1の出力22-1とカウンタ20-2の出力22-2を比較してバッファ5-2に対する2度読みまたは読みとばしによるジャスティフィケーションの指示を読み出し制御部7-2に対して行うジャスティフィケーション実行判定部19により構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ10とからなる。

【0023】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0024】図4に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。書き込み制御部2-1はCLK1-1に従って動作し、前記STM-1フレームをバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記STM-1フレームをバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによって吸収する。即ち、位相比較部4-1が書き込みアドレスと読み出しアドレスの比較を行い、両者の接近を検出し、バッファ1-1の2度読みまたは読みとばしの実行を、STM-1フレームの特定位置において読み出し制御部3-1に命令する。2度読み及び読みとばし時のフレーム構成を図3に示す。バッファ5-1はバッファ1-1の出力フレームのうちVC-4のみを記憶する。書き込み制御部6-1はCLK2に従ってバッファ5-1への書き込みアドレスを指示する。読み出し制御部7-1はCLK2に従ってバッファ5-1への読み出しアドレスを指示する。先に述べたように、CLK1-1とCLK2の速度の差をバッファ1-1の2度読みまたは読みとばしにより吸収する場合、位相比較部4-1は書き込み制御部6-1に次のように指示する。すなわち、2度読みの場合は書き込み制御部6-1に対して書き込み禁止を、読みとばしの場合は書き込み制御部6-1に対して書き込みを命じる。これらの処理および入力信号に含まれるAUジャスティフィケーションにより、バッファ5-1に対する書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合は、位相比較部8-1は読み出し制御部7-2に対してバッファ5-1の2度読みまたは読みとばしによるジャスティフィケーションの実行を指示する。また読み出し制御部7-1はバッファ5-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ5-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算し

10

たAU-4ポインタを挿入するべくセレクタ9-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成を取る場合、セレクタ10は現用フレーム位相変換回路31の出力ハイウェイ14-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ14-2上の信号のうち、どちらか一方を選択する。

20

【0025】セレクタ10を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ14-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ14-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、現用フレーム位相変換回路31は、受信フレーム位相を示す信号16-1をバッファ1-1に記憶させ、CLK2により読み出すことにより、受信フレーム位相を示す信号16-1に対してクロック乗せ替えを行い、出力信号17-1と装置のもつフレーム位相21-1の差をカウンタ20-1により計数し、その出力22-1を予備フレーム位相変換回路32に送る。予備フレーム位相変換回路でも同様に受信フレーム位相を示す信号16-2に対するクロック乗せ替えを実行する。そして、その出力信号17-2と装置のもつフレーム位相21-2の差をカウンタ20-2により計数する。前記カウンタ20-1の出力22-1と前記カウンタ20-2の出力22-2をジャスティフィケーション実行判定部19が比較し、両者に差がある場合は現用と予備のフレーム位相変換回路の出力に差があると判断し、読み出し制御部7-2に対しバッファ5-1の2度読みまたは読みとばしを命じることによりジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

30

【0026】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

40

【0027】本発明の第3の実施例を図5を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7

50

とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内的一部分を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-1に命令する位相比較部4-1と、ハイウェイ11-1上の受信STM-1フレームのAU-4ポインタを読み取ってSTM-1フレーム内のVC-4のフレーム位相を示す信号を生成するフレーム位相検出部5-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1により構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック（CLK1-2）に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-2に命令する位相比較部4-2と、ハイウェイ11-2上の受信STM-1フレームのAU-4ポインタを読み取りSTM-1フレーム内のVC-4のフレーム位相を示す信号を生成するフレーム位相検出部5-2と、現用フレーム位相変換回路31の受信フレーム位相と予備フレーム位相変換回路32の受信フレーム位相を比較することにより現用と予備の出力フレーム位相の差を検出した場合は読み出し制御部3-2にジャスティフィケーションの実行を指示するジャスティフィケーション実行判定部19と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2により構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7となる。

【0028】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0029】図5に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC

-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ変えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによって吸収する。即ち、バッファ1-1に与える書き込みアドレスと読み出しアドレスの比較を位相比較部4-1が行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションの実行を、STM-1フレームの特定位置において、読み出し制御部3-1に命令する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0030】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、現用フレーム位相変換回路31のフレーム位相検出部5-1は、受信STM-1フレーム内のVC-4のフレーム位相をAU-4ポインタを読み取ることにより検出し、そのVC-4のフレーム位相を示す信号16-1をバッファ1-1に記憶させ、CLK2により読み出すことにより、受信VC-4のフレーム位相を示す信号16-1に対してクロック乗せ変えを行い、出力信号17-1を予備フレーム位相変換回路32に送る。予備フレーム位相変換回路32でも同様に受信VC-4のフレーム位相を示す信号16-2に対してクロック乗せ変えを実行する。そして、その出力信号17-2と前記出力信号17-1をジャスティフィケーション実行判定部19が比較し、両者に差がある場合は現用と予

備のフレーム位相変換回路の出力フレームに差があると判断し、読み出し制御部3-2に対しバッファ1-2の2度読みまたは読みとばしを命じることによりジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0031】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0032】本発明の第4の実施例を図6を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内的一部を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-1に命令する位相比較部4-1と、ハイウェイ11-1上の受信STM-1フレームのAU-4ポインタを読み取ってSTM-1フレーム内のVC-4のフレーム位相を示す信号を生成するフレーム位相検出部5-1と、受信フレーム位相と装置のもつフレーム位相の差を計数するカウンタ20-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-2に命令する位相比較部4-2と、ハイウェイ11-2上の受信STM-1フレームの

AU-4ポインタを読み取りSTM-1フレーム内のVC-4のフレーム位相を示す信号を生成するフレーム位相検出部5-2と、受信フレーム位相と装置のもつフレーム位相の差を計数するカウンタ20-2と、現用フレーム位相変換回路31のカウンタ20-1の出力と予備フレーム位相変換回路32のカウンタ20-2の出力を比較することにより現用と予備の出力フレーム位相の差を検出した場合は読み出し制御部3-2にジャスティフィケーションの実行を指示するジャスティフィケーション実行判定部19と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2とにより構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0033】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0034】図6に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ変えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションで吸収する。即ち、バッファ1-1に与える書き込みアドレスと読み出しアドレスの比較を位相比較部4-1が行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは読みとばしの実行を、STM-1フレームの特定位置において、読み出し制御部3-1に命令する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに付加するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0035】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、現用フレーム位相変換回路31のフレーム位相検出部5-1は、受信STM-1フレーム内のVC-4のフレーム位相をAU-4ポインタを読み取ることにより検出し、そのVC-4のフレーム位相を示す信号16-1をバッファ1-1に記憶させ、CLK2により読み出すことにより、受信VC-4のフレーム位相を示す信号16-1に対するクロック乗せ変えを行う。さらに、その出力信号17-1と装置フレーム位相21-1の差をカウンタ20-1が計数し、その出力22-1を予備フレーム位相変換回路32に送る。予備フレーム位相変換回路32でも同様に受信VC-4のフレーム位相を示す信号16-2に対してクロック乗せ変えを実行する。そして、その出力信号17-2と装置フレーム位相21-2の差をカウンタ20-2が計数し、その出力22-2と前記22-1をジャスティフィケーション実行判定部19が比較し、両者に差がある場合は現用と予備の出力フレームに差があると判断し、読み出し制御部3-2に対しバッファ1-2の2度読みまたは読みとばしを命じることによりジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0036】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0037】本発明の第5の実施例を図7を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内の一一部を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、

バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-1に命令する位相比較部4-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。

【0038】一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-2に命令する位相比較部4-2と、現用フレーム位相変換回路31の出力フレームのAU-4ポインタ値と予備フレーム位相変換回路32の出力フレームのAU-4ポインタ値を比較することにより現用と予備の出力フレーム位相の差を検出した場合は読み出し制御部3-2にジャスティフィケーションの実行を指示するジャスティフィケーション実行判定部19と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2とにより構成される。

【0039】また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0040】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0041】図6に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せえるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションで吸収する。即ち、バッファ1-1に与える書き込みアドレスと読み出しアドレスの比較を位相比較部4-1が行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは

読みとばしの実行を、STM-1フレームの特定位置において、読み出し制御部3-1に命令する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに付加するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0042】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。すなわち、現用フレーム位相変換回路31のフレーム位相検出部5-1は、受信STM-1フレーム内のVC-4のフレーム位相をAU-4ポインタを読み取ることにより検出し、そのVC-4のフレーム位相を示す信号16-1をバッファ1-1に記憶させ、CLK2により読み出すことにより、受信VC-4のフレーム位相を示す信号16-1に対するクロック乗せ変えを行う。さらに、その出力信号17-1と装置フレーム位相21-1の差をカウンタ20-1が計数し、その出力22-1を予備フレーム位相変換回路32に送る。予備フレーム位相変換回路32でも同様に受信VC-4のフレーム位相を示す信号16-2に対してクロック乗せ変えを実行する。そして、その出力信号17-2と装置フレーム位相21-2の差をカウンタ20-2が計数し、その出力22-2と前記22-1をジャスティフィケーション実行判定部19が比較し、両者に差がある場合は現用と予備の出力フレームに差があると判断し、読み出し制御部3-2に対しバッファ1-2の2度読みまたは読みとばしを命じることによりジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0043】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0044】本発明の第5の実施例を図7を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内の一一部を記憶するバッファ1-1と、バッファ1-1に受信クロック(以下、CLK1-1と称する。)に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック(以下、CLK2と称する。)に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-2に命令する位相比較部4-2と、現用フレーム位相変換回路31の出力フレームのAU-4ポインタ値と予備フレーム位相変換回路32の出力フレームのAU-4ポインタ値を比較することにより現用と予備の出力フレーム位相の差を検出した場合は読み出し制御部3-2にジャスティフィケーションの実行を指示するジャスティフィケーション実行判定部19と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2とにより構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0045】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0046】図7に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がと

られている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せえるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションで吸収する。即ち、バッファ1-1に与える書き込みアドレスと読み出しアドレスの比較を位相比較部4-1が行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションの実行を、STM-1フレームの特定位置において、読み出し制御部3-1に命令する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せえる。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0047】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、現用フレーム位相変換回路31は、出力STM-1フレーム内のVC-4のフレーム位相を示すAU-4ポインタを予備フレーム位相変換回路32に送る。予備フレーム位相変換回路32では、現用フレーム位相変換回路31から送られてきたAU-4ポインタ値と予備フレーム位相変換回路32の出力フレームのAU-4ポインタ値をジャスティフィケーション実行判定部19が比較し、両者が異なっていた場合は、現用と予備の出力フレームに差があると判断し、読み出し制御部3-2に対しバッファ1-2の2度読みまたは読みとばし

50

によるジャスティフィケーションを命じることにより、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0048】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0049】本発明の第6の実施例を図8を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内的一部を記憶するバッファ1-1と、バッファ1-1に受信クロック(以下、CLK1-1と称する。)に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック(以下、CLK2と称する。)に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーション要求を出す位相比較部4-1と、現用と予備のフレーム位相変換回路のジャスティフィケーション要求信号23-1および23-2の両方を受信した場合にバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーション要求を読み出し制御部3-1に対して命令するジャスティフィケーション実行判定部19-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしの要求を出す位相比較部4-2と、現用と予備のフレーム位相変換回路のジャスティフィケーション要求信号23-1および23-2の両方を受信した場合にバッファ1-2に対する2度読みまたは読みとばしを読み出し制御部3-2に対して命令するジャスティ

フィケーション実行判定部19-2と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2により構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0050】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0051】図8に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ變えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションを実行することによって吸収する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ變える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0052】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そのためには、現用フレーム位相変換回路31と予備フレーム位相変換回路32は常に同じ動作をする必要がある。すなわち、現用フレーム位相変換回路31と予備フレーム位相変換回路32は同時にジャスティフィケーションを実行しなければならない。そこで位相比較

部4-1は、バッファ1-1に与える書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合はジャスティフィケーション実行判定部19-1と19-2にジャスティフィケーション要求信号23-1を出す。また、位相比較部4-2は、バッファ1-2に与える書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合はジャスティフィケーション実行判定部19-1と19-2にジャスティフィケーション要求信号23-2を出す。ジャスティフィケーション実行判定部19-1は、ジャスティフィケーション要求信号23-1と23-2の両方を受信した場合に、読み出し制御部3-1に対してジャスティフィケーションの実行を命令する。ジャスティフィケーション実行判定部19-2は、ジャスティフィケーション要求信号23-1と23-2の両方を受信した場合に、読み出し制御部3-2に対してジャスティフィケーションの実行を命令する。これにより、現用フレーム位相変換回路31と予備フレーム位相変換回路32の両方が一齊にジャスティフィケーションを実行できるので、両者の出力フレームを常に一致させることができる。

【0053】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0054】本発明の第7の実施例を図9を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内の一一部を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーション要求を読み出し制御部3-1と予備フレーム位相変換回路32に出す位相比較部4-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック（CLK1-2）に従って信号の一部を

31

書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしの要求を出す位相比較部4-2と、現用と予備のフレーム位相変換回路のジャスティフィケーション要求信号23-1および23-2のどちらかを受信した場合にバッファ1-2に対する2度読みまたは読みとばしを読み出し制御部3-2に対して命令するジャスティフィケーション実行判定部19と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2とにより構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0055】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0056】図9に戻り、現用フレーム位相変換回路31の動作を説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ変えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションを実行することによって吸収する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容すべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0057】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相

10

20

変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そのためには、現用フレーム位相変換回路31と予備フレーム位相変換回路32は常に同じ動作をする必要がある。すなわち、現用フレーム位相変換回路31と予備フレーム位相変換回路32は同時にジャスティフィケーションを実行しなければならない。そこで位相比較部4-1は、バッファ1-1に与える書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合は読み出し制御部3-1とジャスティフィケーション実行判定部19にジャスティフィケーション要求信号23-1を出す。また、位相比較部4-2は、バッファ1-2に与える書き込みアドレスと読み出しアドレスがあらかじめ定めた基準以上に接近した場合はジャスティフィケーション実行判定部19にジャスティフィケーション要求信号23-2を出す。ジャスティフィケーション実行判定部19は、通常はジャスティフィケーション要求信号23-1を受信した場合に、読み出し制御部3-2に対してジャスティフィケーションの実行を命令する。また、予備から現用に切り替えられた場合、ジャスティフィケーション実行判定部19は、ジャスティフィケーション要求信号23-2を受信した場合に、読み出し制御部3-2に対してジャスティフィケーションの実行を命令する。つまり、予備フレーム位相変換回路32においては、位相比較部4-2の判断によるジャスティフィケーションの実行と現用フレーム位相変換回路31の命令によるジャスティフィケーションの実行の両方が可能である。これにより、現用フレーム位相変換回路31と予備フレーム位相変換回路32の両方が一齊にジャスティフィケーションを実行できるので両者の出力フレーム常に一致させることができる。

【0058】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0059】本発明の第8の実施例を図10を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ7とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内の一一部を記憶するバッファ1-1と、バッファ1-1に受信クロック（以下、CLK1-1と称する。）に従って信号を書き込む際のアドレスを指示する

書き込み制御部2-1と、バッファ1-1から装置クロック（以下、CLK2と称する。）に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーション要求を出す位相比較部4-1と、現用と予備のフレーム位相変換回路のジャスティフィケーション要求信号23-1または24-1のいずれかを受信した場合にバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションを読み出し制御部3-1に対して命令するジャスティフィケーション実行判定部19-1と、現用フレーム位相変換回路31の出力フレームのAU-4ポインタ値を表示するポインタ表示部25-1と、ジャスティフィケーションの実行要求信号24-1を外部からの指示により出力するジャスティフィケーション指示部26-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ6-1とにより構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの要求を出す位相比較部4-2と、現用と予備のフレーム位相変換回路のジャスティフィケーション要求信号23-2または24-2のいずれかを受信した場合にバッファ1-2に対する2度読みまたは読みとばしを読み出し制御部3-2に対して命令するジャスティフィケーション実行判定部19-2と、予備フレーム位相変換回路32の出力フレームのAU-4ポインタ値を表示するポインタ表示部25-2と、ジャスティフィケーションの実行要求信号24-2を外部からの指示により出力するジャスティフィケーション指示部26-2と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ6-2とにより構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ7とからなる。

【0060】また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0061】図10に戻り、フレーム位相変換回路の動作を現用フレーム位相変換回路31を用いて説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビ

ット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ変えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションを実行することによって吸収する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ6-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ7は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0062】セレクタ7を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相

変換回路31の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そのためには、現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームが異なっていた場合には、現用もしくは予備フレーム位相変換回路のいずれかにおいて強制的にジャスティフィケーションを実行する必要がある。そこで伝送路切り替えを行いう場合には、ポインタ表示部25-1と25-2を見て、両者の値が異なっていた場合はジャスティフィケーション指示部26-2を用いてジャスティフィケーション要求信号24-2を出し、ジャスティフィケーションを実行する。上記操作により、ジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。これにより、現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させることができる。

【0063】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0064】本発明の第9の実施例を図11を用いて説明する。本実施例は、現用入力ハイウェイ11-1上の信号のフレーム位相を変換して出力ハイウェイ13-1に出力する現用フレーム位相変換回路31と予備入力ハイウェイ11-2上の信号のフレーム位相を変換して出力ハイウェイ13-2に出力する予備フレーム位相変換回路32と出力ハイウェイ13-1上の信号と出力ハイウェイ13-2上の信号とから一方を選択するセレクタ9と、ハイウェイ13-1と13-2上の信号を比較する監視部10とから構成される。さらに、現用フレーム位相変換回路31は、ハイウェイ11-1上にバイト単位に多重された信号内の一一部を記憶するバッファ1-1と、バッファ1-1に受信クロック(以下、CLK1-1と称する。)に従って信号を書き込む際のアドレスを指示する書き込み制御部2-1と、バッファ1-1から装置クロック(以下、CLK2と称する。)に従って信号を読み出す際のアドレスを指示する読み出し制御部3-1と、バッファ1-1に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-1に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-1に命令する位相比較部4-1と、位相比較部5-1と、位相比較部6-1と、前記位相比較部4-1と5-1と6-1のうちから1つを選択するセレクタ7-1と、ハイウェイ12-1上の信号に読み出し制御部3-1で生成されるポインタを挿入するセレクタ8-1により構成される。一方、予備フレーム位相変換回路32は、ハイウェイ11-2上にバイト単位に多重された信号を記憶するバッファ1-2と、バッファ1-2に受信クロック(CLK1-2)に従って信号の一部を書き込む際のアドレスを指示する書き込み制御部2-2と、バッファ1-2からCLK2に従って信号を読み出す際のアドレスを指示する読み出し制御部3-2と、バッファ1-2に与える書き込みアドレスと読み出しアドレスを比較することにより両者の接近を検出した場合はバッファ1-2に対する2度読みまたは読みとばしによるジャスティフィケーションの実行を読み出し制御部3-2に命令する位相比較部4-2と、位相比較部5-2と、位相比較部6-2と、前記位相比較部4-2と5-2と6-2のうちから1つを選択するセレクタ7-2と、ハイウェイ12-2上の信号に読み出し制御部3-2で生成されるポインタを挿入するセレクタ8-2により構成される。また、システムは上記現用と予備のフレーム位相変換回路からの出力のうち一方を選択するセレクタ9と、現用フレーム位相変換回路31の出力フレームと予備フレーム位相変換回路32の出力フレームを比較して、両者が一致していない場合は、セレクタ7-

1またはセレクタ7-2に対して位相比較部の選択の変更を命令する監視部10とからなる。また、処理対象となる信号のフォーマットは第1の実施例と同様である。

【0065】図11に戻り、フレーム位相変換回路の動作を現用フレーム位相変換回路31を用いて説明する。ハイウェイ11-1からはSTM-1フレーム信号がフレーム同期およびバイト同期がとられている状態で8ビット並列に展開されて入力される。バッファ1-1は前記STM-1フレーム内のVC-4のみを記憶する。書き込み制御部2-1はCLK1-1に従って動作し、前記VC-4をバッファ1-1に書き込む際の書き込みアドレスを指示する。読み出し制御部3-1はCLK2に従って動作し、前記VC-4を装置のもつフレーム位相にしたがったSTM-1フレームに乗せ変えるべくVC-4をバッファ1-1から読み出す際の読み出しアドレスを指示する。ここでCLK1-1とCLK2の間には速度差による位相の変動があり、その変動をバッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションにより吸収する。即ち、バッファ1-1に与える書き込みアドレスと読み出しアドレスの比較を位相比較部4-1と5-1と6-1のうちセレクタ7-1に選択されている位相比較部が行い、両者の接近を検出した場合は、バッファ1-1の2度読みまたは読みとばしによるジャスティフィケーションの実行を、STM-1フレームの特定位置において、読み出し制御部3-1に命令する。また読み出し制御部3-1はバッファ1-1から読み出されたVC-4をSTM-1フレームに収容するべく、バッファ1-1からVC-4を読み出し、さらに読み出し側のSTM-1フレームに対するAU-4ポインタを計算し、STM-1フレームに計算したAU-4ポインタを挿入するべくセレクタ8-1に対して指示を出す。上記操作により受信STM-1フレーム内のVC-4を装置のもつフレーム位相に従ったSTM-1フレームに乗せ変える。予備フレーム位相変換回路32も同様の動作を行う。また、このようなフレーム位相変換回路が冗長構成をとる場合、セレクタ9は現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号のうち、どちらか一方を選択する。

【0066】セレクタ9を用いて現用から予備に無瞬断で切り替えるためには、現用フレーム位相変換回路31の出力ハイウェイ13-1上の信号と予備フレーム位相変換回路32の出力ハイウェイ13-2上の信号が同じでなければならない。すなわち、現用フレーム位相変換回路31の出力するSTM-1フレーム内のVC-4の位置と予備フレーム位相変換回路32の出力するSTM-1フレーム内のVC-4の位置は同じでなければならない。そこで、監視部10は、現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを比較し、両者が一致していない場合は予備フレーム位

相変換回路32に対してジャスティフィケーションの実行を命令する。この時、予備フレーム位相変換回路32のセレクタ7-2は、現在選択している位相比較部とは異なる位相比較部を選択する。ここで、位相比較部4-2、5-2、6-2は互いに異なるジャスティフィケーション実行条件をもっている。セレクタ7-2が選択する位相比較部を変更することにより、ジャスティフィケーション実行条件が変更されるため、予備フレーム位相変換回路32において強制的にジャスティフィケーションが実行されることになる。上記操作により、ジャスティフィケーションを実行し、予備フレーム位相変換回路32の出力STM-1フレーム内のVC-4の位置をずらし、現用フレーム位相変換回路31の出力STM-1フレーム内のVC-4の位置に合わせる。

【0067】上記処理により現用フレーム位相変換回路31と予備フレーム位相変換回路32の出力フレームを一致させ、現用から予備に無瞬断で切り替える。

【0068】

【発明の効果】以上述べたように、本発明では、現用と予備のフレーム変換回路の出力をスタッフを用いて強制的に一致させることにより、無瞬断で現用から予備に切り替えることができる。

【図面の簡単な説明】

【図1】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図2】本発明による実施例の説明に用いるフレームの図である。

【図3】本発明による実施例の説明に用いるフレームの図である。

【図4】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図5】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図6】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図7】本発明による無瞬断伝送路切り替え回路の実施

例の構成を示す図である。

【図8】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図9】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

【図10】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

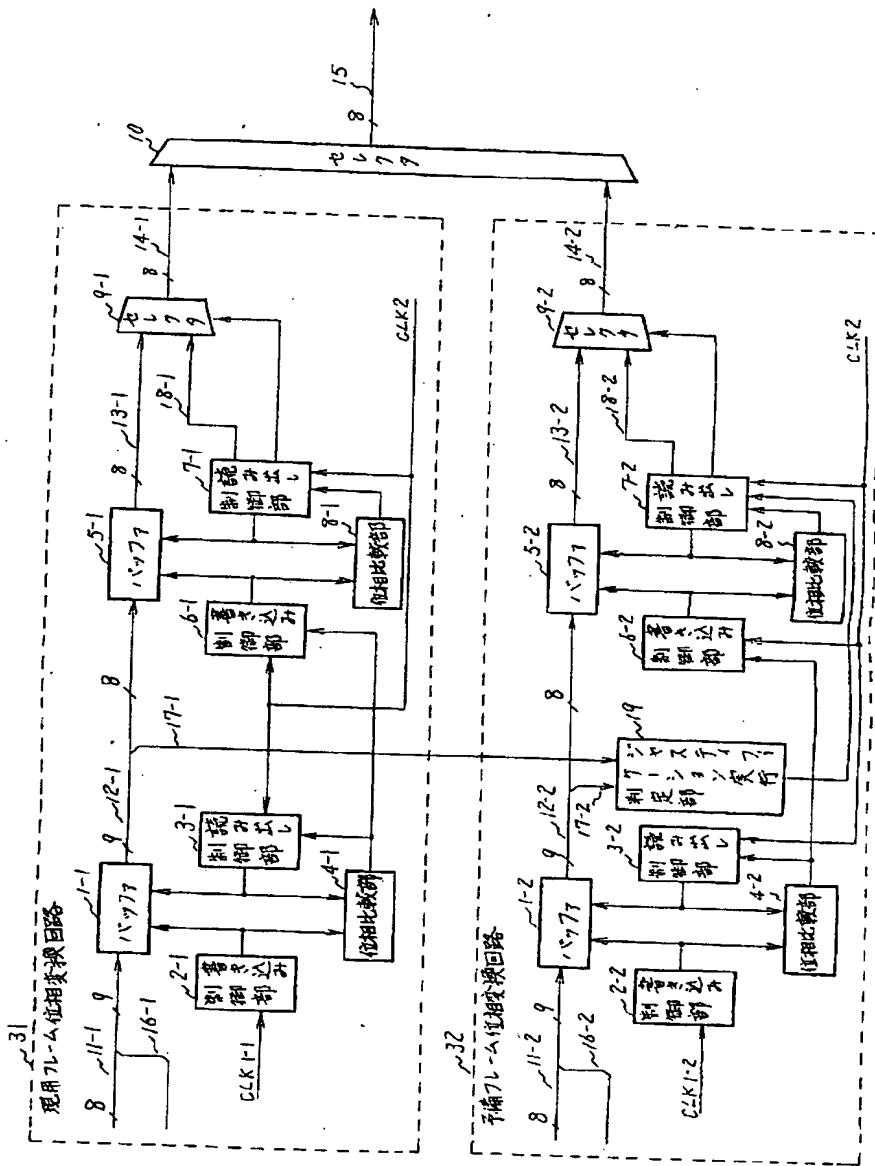
【図11】本発明による無瞬断伝送路切り替え回路の実施例の構成を示す図である。

10 【符号の説明】

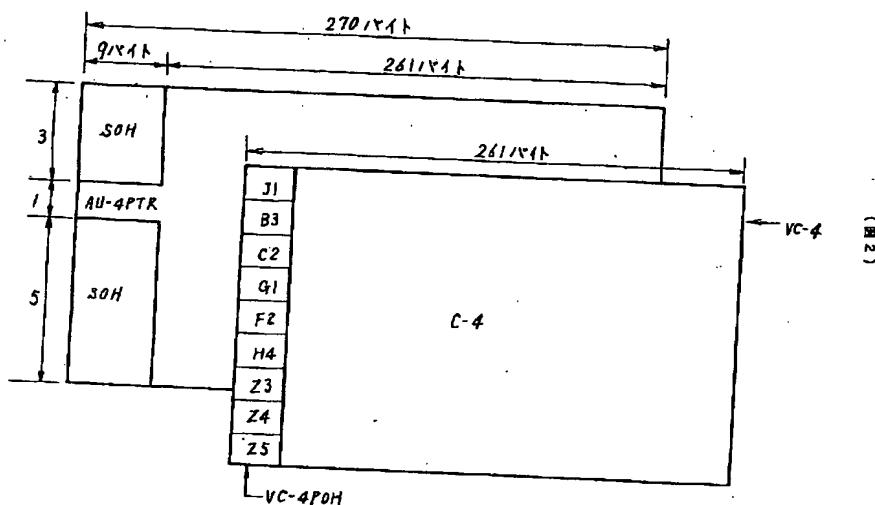
1-1…バッファ、1-2…バッファ、2-1…書き込み制御部、2-2…書き込み制御部、3-1…読み出し制御部、3-2…読み出し制御部、4-1…位相比較部、4-2…位相比較部、5-1…バッファあるいはフレーム位相検出部、5-2…バッファあるいはフレーム位相検出部あるいは位相比較部、6-1…書き込み制御部あるいはセレクタあるいは位相比較部、6-2…書き込み制御部あるいはセレクタ、7…セレクタ、7-1…読み出し制御部あるいはセレクタ、7-2…読み出し制御部あるいはセレクタ、8-1…位相比較部あるいはセレクタ、8-2…位相比較部あるいはセレクタ、9-1…セレクタ、9-2…セレクタ、10…セレクタあるいは監視部、11-1～14-1…ハイウェイ、11-2～14-2…ハイウェイ、15…ハイウェイ、16-1、17-1…受信フレーム位相、16-2、17-2…受信フレーム位相、18-1、18-2…出力フレームのAU-4ポインタ、19…ジャスティフィケーション実行判定部、20-1、20-2…カウンタ、21-1、21-2…装置フレーム位相、22-1、22-2…カウンタ出力、23-1、23-2…ジャスティフィケーション要求信号、24-1、24-2…ジャスティフィケーション要求信号、25-1、25-2…ポインタ表示部、26-1、26-2…ジャスティフィケーション指示部、31…現用フレーム位相変換回路、32…予備フレーム位相変換回路。

【図1】

(図1)

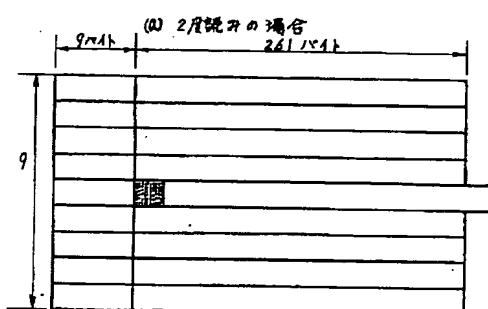


【図2】



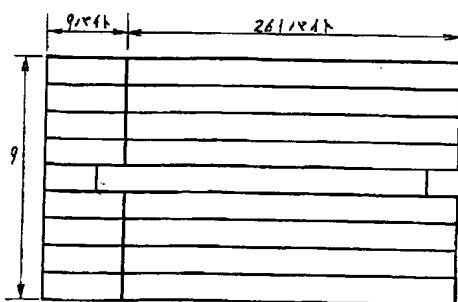
【図3】

(図3)



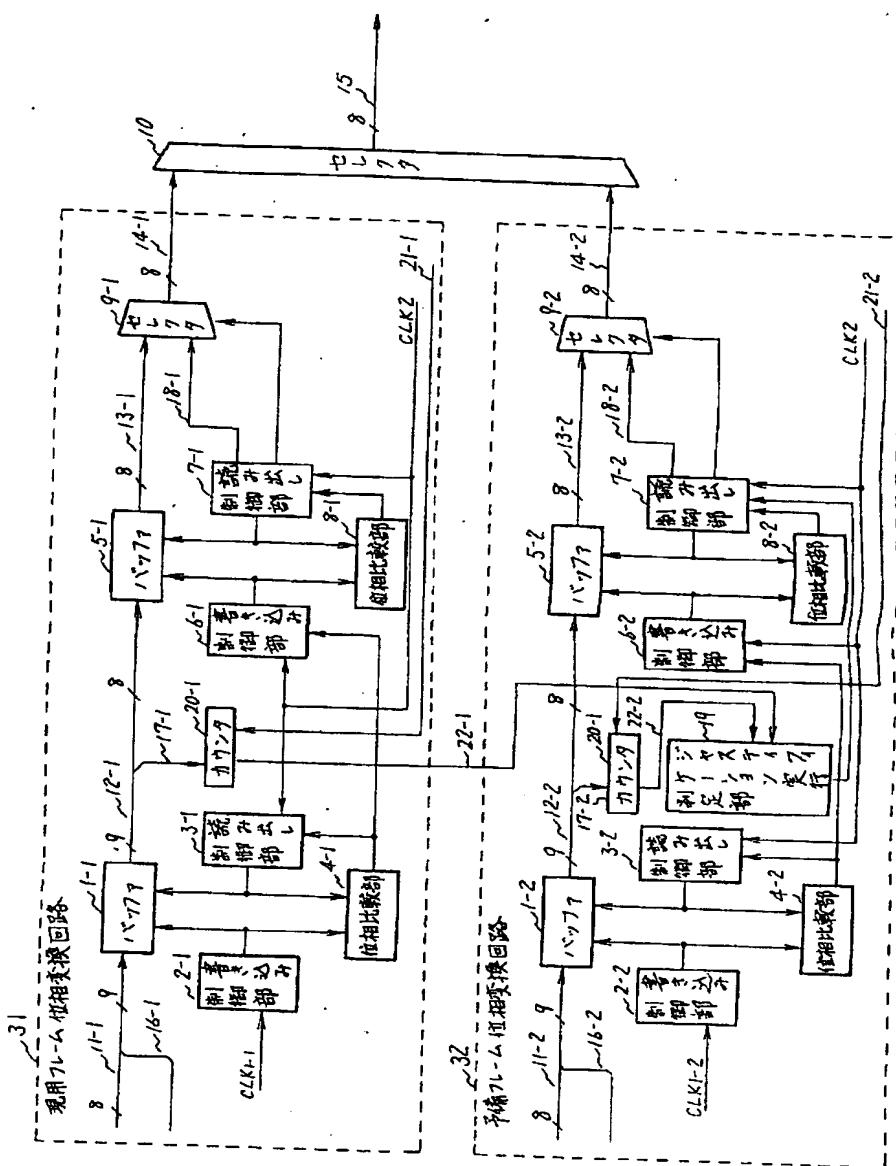
[図3] 2段階みによるC-4-9バイト(3バイト分)

(b) 蔓みヒカルの場合

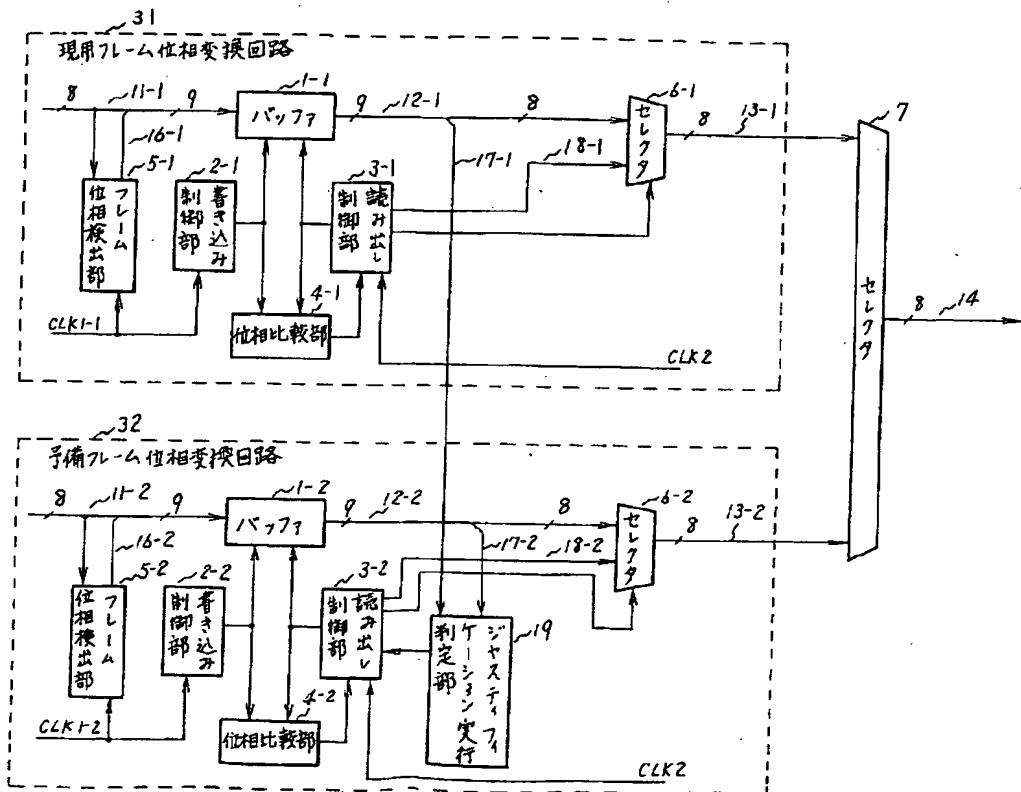


【図4】

( 図 4 )



【図5】



【図6】

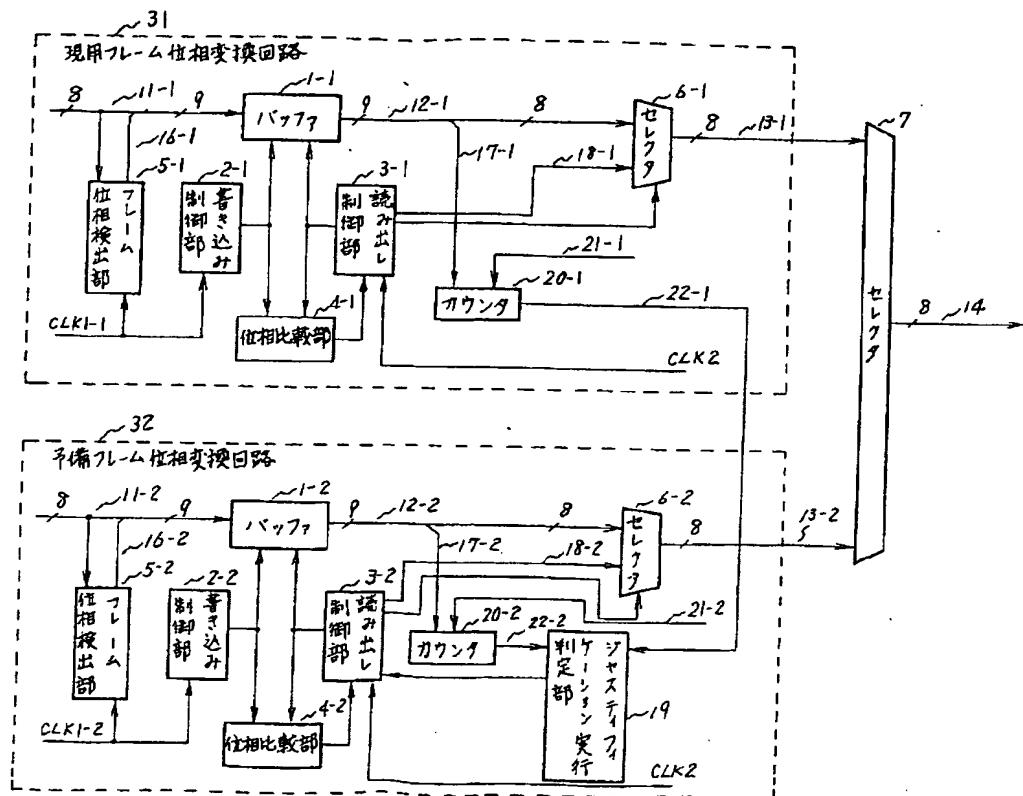
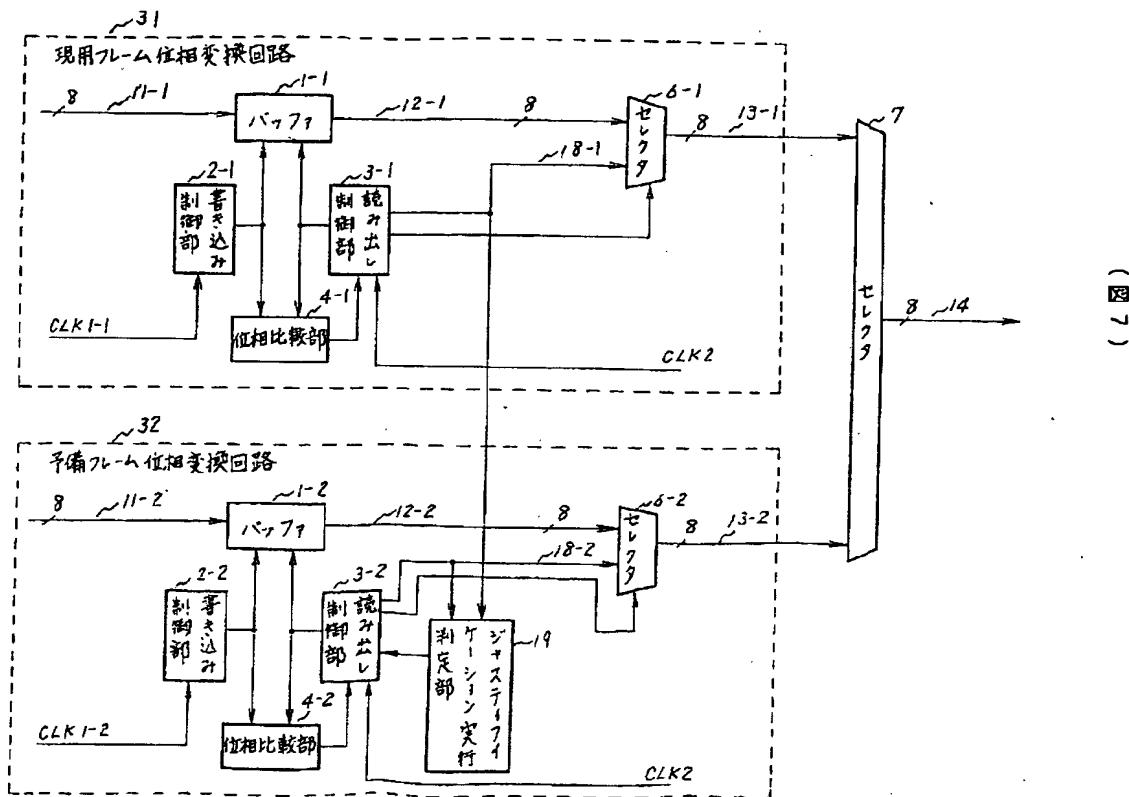
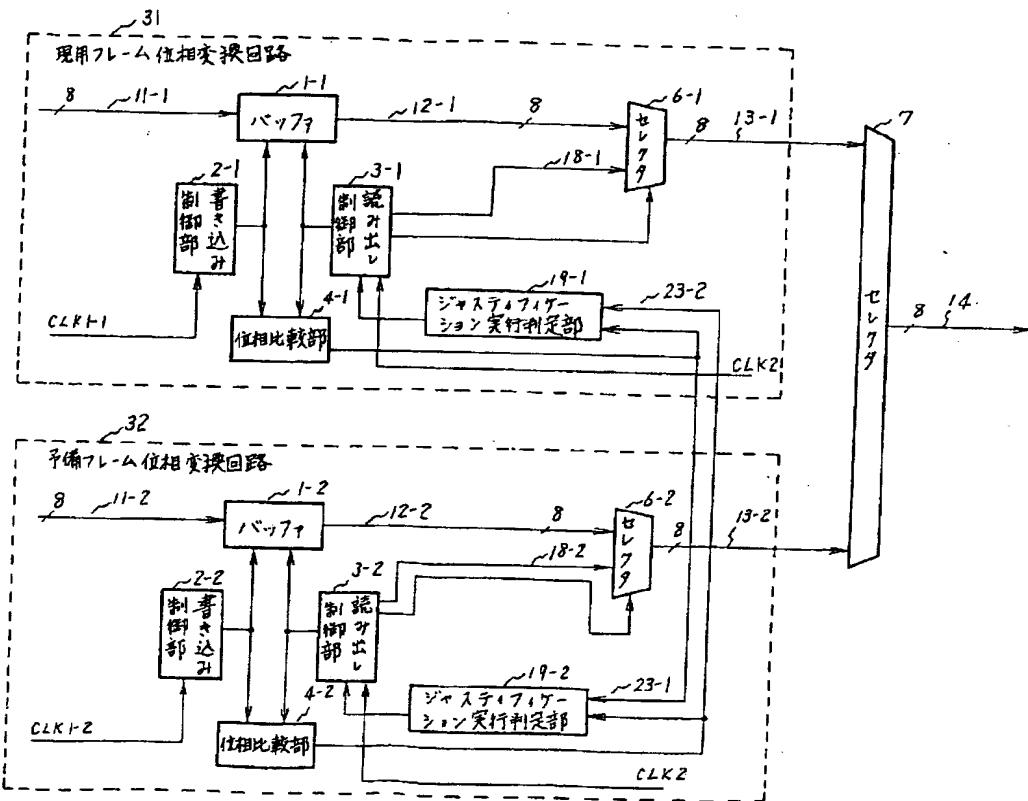


図6(一)

【図7】



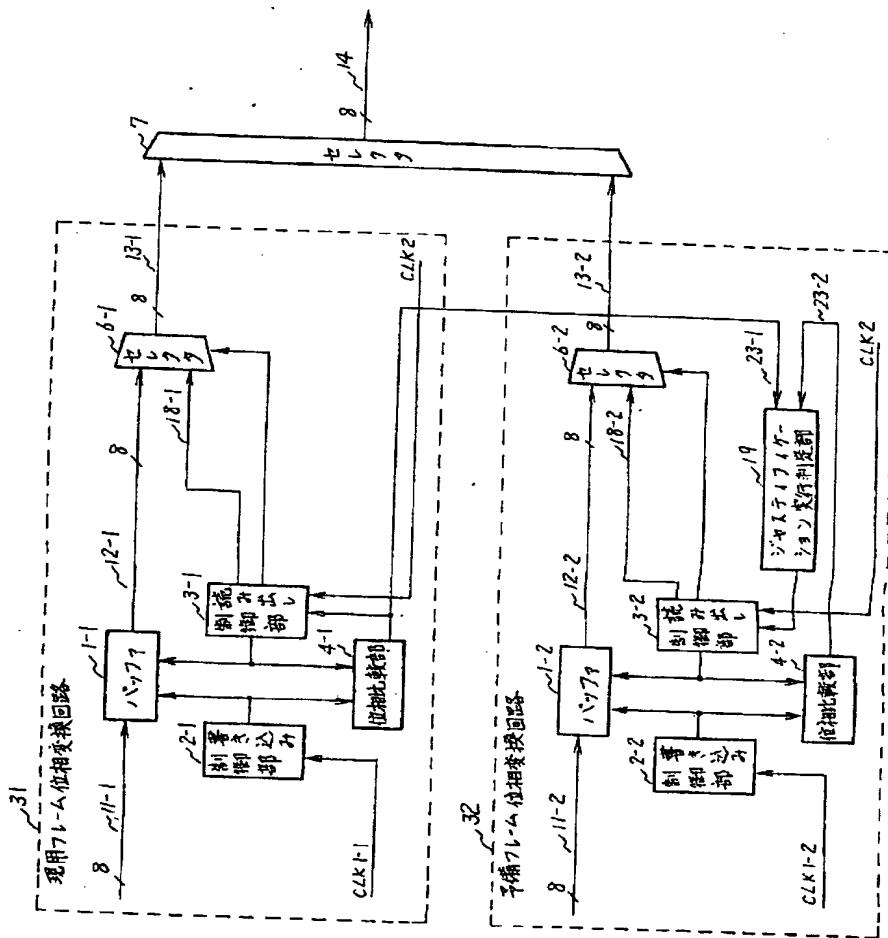
【図8】



(図8)

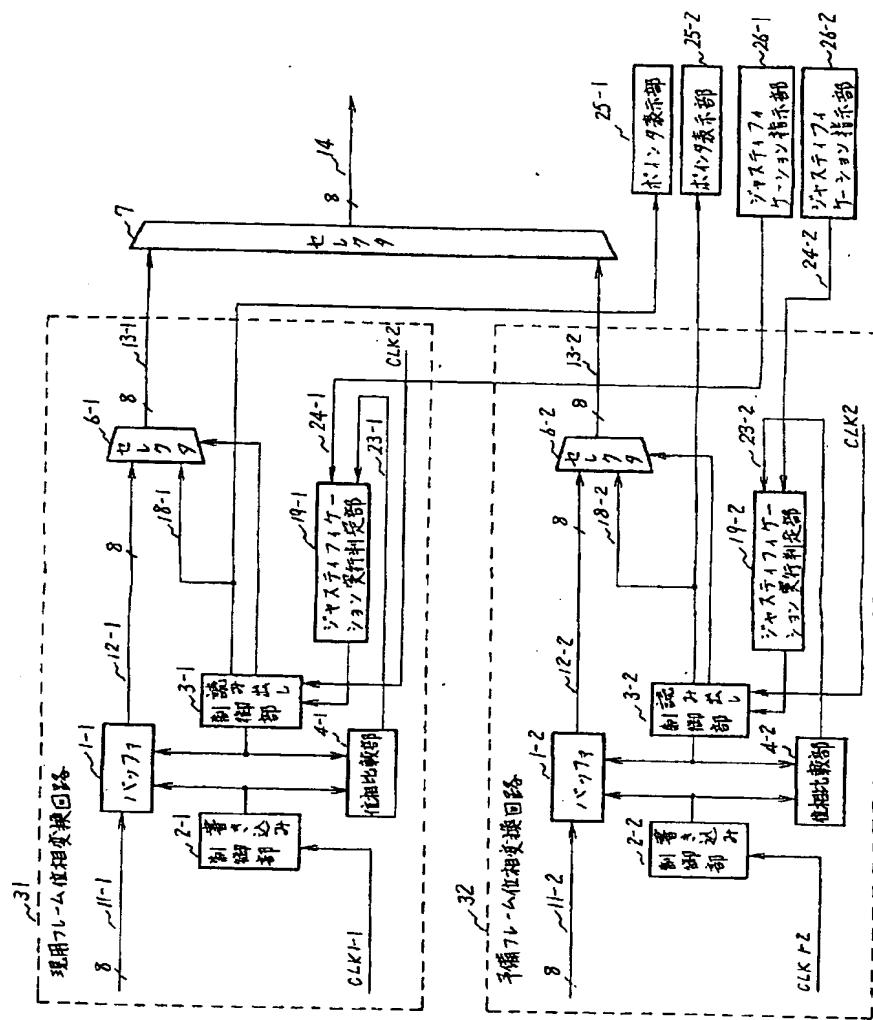
[図9]

(図9)



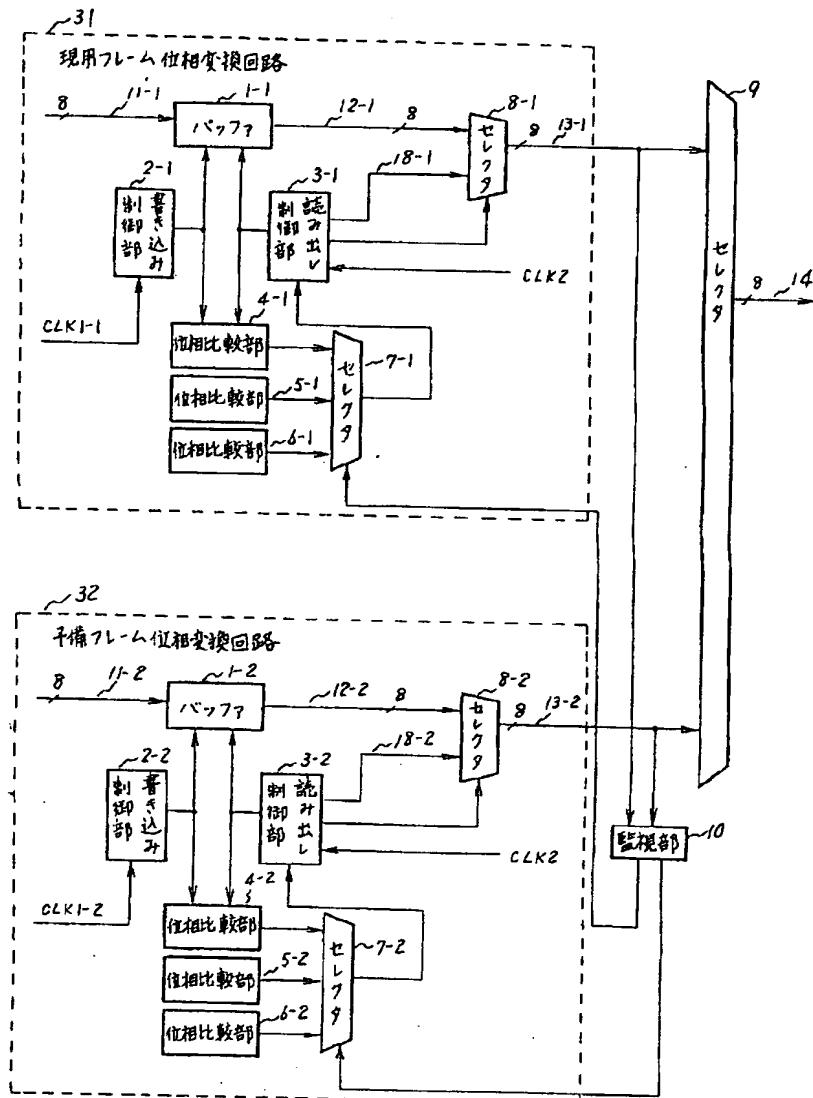
【図10】

(図10)



[図11]

(図 11)



## フロントページの続き

(72)発明者 芦 賢浩  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所情報通信事業部内

(72)発明者 菅野 忠行  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所情報通信事業部内

(72)発明者 木暮 光司  
東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

(72)発明者 片岡 秀樹  
東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内